



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11354827 A**(43) Date of publication of application: **24.12.99**

(51) Int. Cl.

H01L 31/10**H01L 31/107**(21) Application number: **10157143**(22) Date of filing: **05.06.98**(71) Applicant: **HITACHI LTD**

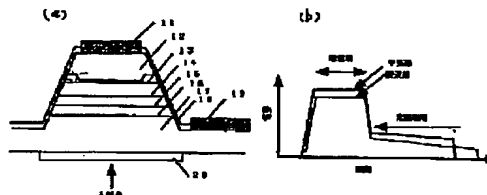
(72) Inventor: **NAKAMURA HITOSHI
TANAKA SHIGEHISA
MATSUOKA YASUNOBU
SHISHIKURA MASATO
TSUJI SHINJI**

(54) PHOTODETECTOR AND MANUFACTURE THEREOF**(57) Abstract:**

PROBLEM TO BE SOLVED: To suppress the deterioration of a mesa type photodetector having a low-concn. active layer sandwiched between high-concn. layers on the interface/surface, by relatively thickening the peripheral part of the low-concn. layer than its central part.

SOLUTION: The peripheral part of a low-concn. P buffer layer 13 is made thicker than its central part, resulting in a low electric field over an multiplying layer 16 and light absorption layer 14 at the peripheral part than that over the central part. As a result, the dark current flowing in the peripheral part and multiplication ratio of the peripheral part are suppressed to realize a high reliability, and the deterioration at the interface/surface of the main cause of deterioration of an avalanche diode can be suppressed.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354827

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁶

H 0 1 L 31/10
31/107

識別記号

F I

H 0 1 L 31/10

A

B

審査請求 未請求 請求項の数9 O L (全 4 頁)

(21) 出願番号 特願平10-157143

(22) 出願日 平成10年(1998)6月5日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 中村 均
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72) 発明者 田中 滋久
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72) 発明者 松岡 康信
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(74) 代理人 弁理士 小川 勝男

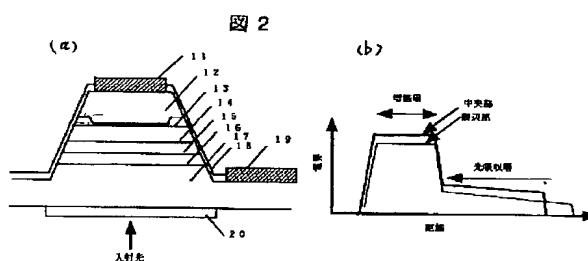
最終頁に続く

(54) 【発明の名称】 受光素子およびその製造方法

(57) 【要約】

【課題】 信頼性を損なうことなく作製工程を簡素化、高歩留まり化できる素子構造を有する受光素子およびその製造方法を提供する。

【解決手段】 周辺部の膜厚が中央部に比べ厚い低濃度層を形成することにより、周辺部の電界強度を低減する。



【特許請求の範囲】

【請求項 1】低濃度の能動層の両側を高濃度の層で挟んだ構成のメサ型受光素子において、上記低濃度層の膜厚が中央部においてゼロないしは中央部に比べ周辺部の方が厚い構造を有してなることを特徴とする受光素子。

【請求項 2】低濃度の能動層の両側を高濃度の層で挟んだ構成のメサ型受光素子において、高濃度層の膜厚が中央部に比べ周辺部の方が薄い構造を有してなることを特徴とする受光素子。

【請求項 3】請求項 1 または 2 に記載の素子構造からなる P I N フォトダイオード。

【請求項 4】請求項 1 または 2 に記載の素子構造からなるアバランシェフォトダイオード。

【請求項 5】請求項 1 または 2 に記載の素子構造からなる導波路型フォトダイオード。

【請求項 6】請求項 1 または 2 に記載の受光素子において、その構成層として高濃度 N 型層、増倍層、電界緩和層、光吸収層、低濃度 P 型層、高濃度 P 型層を含み、中央部、周辺部の膜厚の違いが前記低濃度 P 型層、高濃度 P 型層によりもたらされるアバランシェフォトダイオードであることを特徴とする受光素子。

【請求項 7】請求項 1 または 2 に記載の受光素子において、その構成層として光吸収層、それを狭む第 1 のクラッド層、さらにそれらを狭む第 2 の高濃度クラッド層を含み、中央部、周辺部の膜厚の違いが前記第 1 のクラッド層内に形成される低濃度 P 型層、高濃度 P 型層によりもたらされる導波路型フォトダイオードであることを特徴とする受光素子。

【請求項 8】上記受光素子の中央部と周辺部の膜厚の違いを、Zn 拡散または Be イオン打ち込みにより形成する工程を含むことを特徴とする請求項 1 ないし 7 のいずれか記載の受光素子の作成方法。

【請求項 9】請求項 1 ないし 7 のいずれか記載の受光素子を用いた光受信モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は光通信に用いる受光素子に関する。

【0002】

【従来の技術】アバランシェフォトダイオード (APD)、P I N フォトダイオード等の通信用受光素子には高い信頼性が要求される。これまで高信頼度 APD として図 1 (a) に示すプレナ型ガードリング付き構造が知られている。入射光は P-I n G a A s 光吸収層 6 で吸収され、生じたフォトキャリアは P-電極 1、N-電極 8 間の電圧により n-I n P 層 4 で増倍される。この素子の電界分布は同図 (b) のようになっている。良好な特性を得るため、増倍層膜厚を Zn 拡散 2 により 0.1 μ m オーダで管理する。また、Be 打ち込み等により形成されるガードリング傾斜接合の導入により周辺の降

伏を抑制し、高信頼化を可能にする。

【0003】

【発明が解決しようとする課題】一方、Zn 拡散、Be 打ち込み技術は作製上の祐度が小さく (<0.1 μ m 以下)、作製工程の簡素化、容易性、また低価格化の観点からは必ずしも望ましい方法ではない。

【0004】本発明の目的は素子特性、信頼性を損なうことなく、簡素かつ容易でしかも低価格な素子構造およびその作製方法を提供することにある。

【0005】

【課題を解決するための手段】上記目的のため、本発明では低濃度の能動層の両側を高濃度の層で挟んだ構成のメサ型受光素子において、低濃度層の周辺部膜厚を中央部に比べ相対的に厚くした構造を提供する。

【0006】本発明の原理を図 2 に示す APD により説明する。同図 (a) の構造において、入射光は P- 光吸収層 14 で吸収され、注入された電子は低濃度増倍層 16 で増倍される。本発明の主旨は P-低濃度バッファ層 13 の膜厚を中央部に比べ周辺部で厚くすることである。これにより同図 (b) の電界分布に示すように、周辺部の増倍層、光吸収層の電界は中心部に比べ小さくなる。従って、周辺部を流れる暗電流、周辺部の増倍率は抑制され、その結果、高信頼性を実現することができる。これは APD の主要な劣化要因である界面、表面での劣化を抑制できるためである。

【0007】

【発明の実施の形態】図 2 に本発明の一実施例として超格子 APD を示す。動作原理は上述のとおりである。以下作製方法を示す。

【0008】分子線エピタキシ法により n-I n P 基板 17 上にアンドープ (undoped) -I n G a A s / I n A l A s 増倍層 (0.3 μ m) 16、P-I n A l A s 高濃度バッファ層 ($P=2 \times 10^{17}$, $d=0.2 \mu$ m) 15、P-I n G a A s 光吸収層 ($P=2 \times 10^{14}$, $d=2 \mu$ m) 14、P-I n A l A s 低濃度バッファ層 ($P=2 \times 10^{14}$, $d=2 \mu$ m) 13、P-I n A l A s 高濃度バッファ層 ($P=2 \times 10^{18}$, $d=2 \mu$ m) 12 を積層した。

【0009】続いて、ウエットエッチングによりメサ構造を形成し、プラズマ CVD により S i N パッシベーション膜 18 を形成した。メサ中央部にコンタクトホールを形成した後、このホールに Zn を拡散して低濃度層 13 の中央部を一部高濃度化した。本実施例では低濃度残留膜厚は 0.1 μ m であった。本素子の特性を評価した結果、最大帯域幅 10 GHz、利得帯域幅積 80 GHz、増倍率 10 での暗電流 100 nA の良好な特性を得た。また、信頼度評価のため 200℃、100 μ A の高温定電流通電試験を行った。その結果から 85℃連続動作で 100 年以上の平均素子寿命を推定した。

【0010】また、本発明の主旨である低濃度層 13 の

膜厚変動の値と素子信頼性の関係を調べた。周辺部の低濃度層 13 の膜厚を一定 ($2\mu\text{m}$) とし、中央部の低濃度層残膜厚を $0\mu\text{m}$ 、 $0.2\mu\text{m}$ 、 $0.5\mu\text{m}$ 、 $1\mu\text{m}$ の素子について調べた結果、 $0\mu\text{m}$ 、 $0.2\mu\text{m}$ 、 $0.5\mu\text{m}$ では上記推定寿命 100 年以上、 $1\mu\text{m}$ では 50-80 年の結果を得た。このことから、本発明が信頼性向上に効果的であることが確認できた。

【0011】図 3 に本発明を導波路型 PIN 受光素子に適用した別の実施例を示す。本素子では入射光は素子端面から入射して、上下の電極より電気信号として取り出される。21 は P-電極、22 は SiN パッシベーション膜、23 は P-InGaAlAs (高濃度第 2 クラッド層)、24 は P-InGaAlAs (高濃度第 1 クラッド層)、25 は P-InGaAlAs (低濃度第 1 クラッド層)、26 は P-InGaAs (光吸収層)、27 は N-InGaAlAs (高濃度第 1 クラッド層)、28 は N-InGaAlAs (高濃度第 2 クラッド層)、29 は n-InP (基板)、30 は N-電極である。作製法は基本的に上記実施例と同様である。25 の P-低濃度第 1 クラッド層の中央部に Zn 拡散を行うことにより、中央部の低濃度層領域の膜厚を周辺部 (素子側面および端面) $1\mu\text{m}$ の領域に比べ薄膜化した。本素子でも前実施例同様本発明による高信頼度化 (推定寿命 200 年) を確認した。

【0012】

【発明の効果】本発明によれば簡易な作製法により信頼性の高い受光素子を提供できる。

【図面の簡単な説明】

【図 1】従来のプレナ型ガードリング付 APD の断面図および電界分布図。

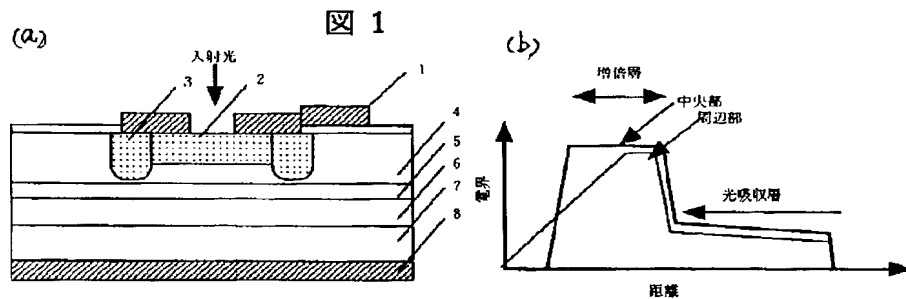
【図 2】本発明の一実施例の APD の断面図および電界分布図。

【図 3】本発明の一実施例の導波路型 PIN-PD 素子の部分断面斜視図。

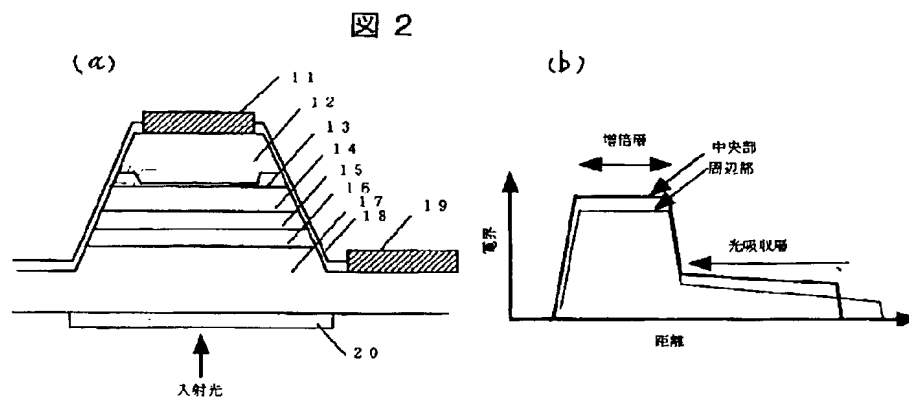
【符号の説明】

1...P-電極、2...Zn 拡散層、3...Be ガードリング、4...N-InP (増倍層)、5...N-InGaAs P (電界緩和層)、6...N-InGaAs (光吸収層)、7...N-InP (基板)、8...N-電極、11...P-電極、12...P-InAlAs (高濃度バッファ層)、13...P-InAlAs (低濃度バッファ層)、14...P-InGaAs (光吸収層)、15...P-InAlAs (高濃度バッファ層)、16...undoped-InGaAs/InAlAs (増倍層)、17...N-InP (基板)、18...SiN パッシベーション膜、19...N-電極、20...反射防止膜、21...P-電極、22...SiN パッシベーション膜、23...P-InGaAlAs (高濃度第 2 クラッド層)、24...P-InGaAlAs (高濃度第 1 クラッド層)、25...P-InGaAlAs (低濃度第 1 クラッド層)、26...P-InGaAs (光吸収層)、27...N-InGaAlAs (高濃度第 1 クラッド層)、28...N-InGaAlAs (高濃度第 2 クラッド層)、29...N-InP (基板)、30...N-電極。

【図 1】

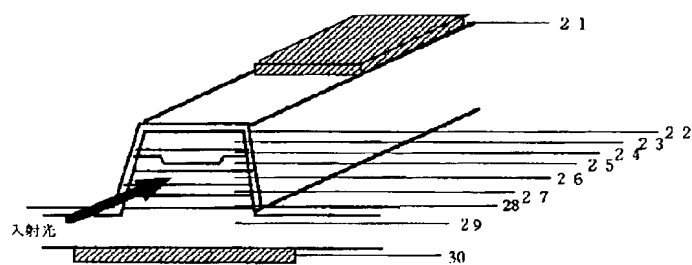


【図 2】



【図 3】

図 3



フロントページの続き

(72)発明者 宋倉 正人
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 辻 伸二
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内